

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308089
(43)Date of publication of application : 02.11.2001

(51)Int.CI. H01L 21/316
H01L 21/312
H01L 21/768

(21)Application number : 2000-123505 (71)Applicant : HITACHI CHEM CO LTD
(22)Date of filing : 25.04.2000 (72)Inventor : NARITA TAKENORI
NOBE SHIGERU
SAKURAI HARUAKI
TERADA NOBUKO

(54) LOW-PERMITTIVITY FILM AND SEMICONDUCTOR ELEMENT HAVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-permittivity film which has a high mechanical strength, improves the CMP resistance by applying as a layer insulation film for semiconductor elements, can ensure a wide process margin, and attains a high performance, high reliability and high yield of LSI.

SOLUTION: The low-permittivity film of 0.5–0.6 µm, formed on a silicon wafer has a hardness of 0.45 GPa or more in DHT115 as measured at a weight of 10 mg and a specific permittivity of 1.0–2.4 as measured at 1 MHz, and the semiconductor element uses this low-permittivity film as a layer insulation film of a multilayer wiring.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-308089
(P2001-308089A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl.⁷
H 0 1 L 21/316
21/312
21/768

識別記号

F I
H 0 1 L 21/316
21/312
21/90

テマコード(参考)
C 5 F 0 3 3
C 5 F 0 5 8
S
Q

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2000-123505(P2000-123505)

(22) 出願日 平成12年4月25日 (2000.4.25)

(71) 出願人 000004455
日立化成工業株式会社
東京都新宿区西新宿2丁目1番1号
(72) 発明者 成田 武憲
茨城県日立市東町四丁目3番1号 日立化成工業株式会社山崎事業所内
(72) 発明者 野部 茂
茨城県日立市東町四丁目3番1号 日立化成工業株式会社山崎事業所内
(72) 発明者 桜井 治彰
茨城県日立市東町四丁目3番1号 日立化成工業株式会社山崎事業所内

最終頁に続く

(54) 【発明の名称】 低誘電率膜及びこの低誘電率膜を有する半導体素子

(57) 【要約】

【課題】 高い機械強度を有し、半導体素子の層間絶縁膜として適用することにより、CMP耐性が向上し、広いプロセスマージンを確保でき、LSIの高性能化、高信頼性、高歩留りが達成される低誘電率膜を提供する。

【解決手段】 シリコンウエハー上に膜厚0.5~0.6 μmの膜を形成し、荷重10mgで測定した時の膜の硬度DHT₁₁₅が0.45GPa以上で、1MHzで測定した比誘電率が1.9~2.4である低誘電率膜及びこの低誘電率膜を多層配線の層間絶縁膜として用いた半導体素子。

【特許請求の範囲】

【請求項1】シリコンウエハー上に膜厚0.5~0.6μmの膜を形成し、荷重10mgで測定した時の膜の硬度DHT₁₁₅が0.45GPa以上で、1MHzで測定した比誘電率が1.9~2.4である低誘電率膜。

【請求項2】有機基を有するポリシロキサンからなる膜である請求項1記載の低誘電率膜。

【請求項3】1気圧での沸点が250°C以上の1価アルコール又は2価アルコールを含む有機ポリシロキサン塗布液を用いたスピンドルコート法によって形成された請求項1又は2記載の低誘電率膜。

【請求項4】請求項1、2又は3記載の低誘電率膜を多層配線の層間絶縁膜として用いた半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子用の層間絶縁膜として有用な低誘電率膜及びこの低誘電率を有する半導体素子に関する。

【0002】

【従来の技術】LSIの高集積化による配線の微細化とともに、配線間容量の増大による信号遅延時間の増大が問題となってきた。従来から、比誘電率4.2程度のCVD法によるSiO₂膜が層間絶縁膜として用いられてきたが、デバイスの配線間容量を低減し、LSIの動作速度を向上するため、より低誘電率な膜が求められている。現在実用化されている低誘電率膜としては、比誘電率が3.5程度のSiOF膜(CVD法)があげられる。比誘電率が2.5~3.0の絶縁膜としては、有機SOG(Spin On Glass)膜、有機ポリマー等が有力と考えられており、LSIの層間絶縁膜に適用するための検討が盛んに行われている。さらに微細化したLSIに対応するため、比誘電率2.5未満の絶縁膜の検討もされている。

【0003】LSIの層間絶縁膜に適用する低誘電率膜に要求される特性としては、耐熱性、プラズマ耐性、機械強度等の特性があげられる。微細化したLSIの多層配線工程においては、グローバル平坦化のため、CMP(Chemical Mechanical Polishing)が必須であり、機械強度は特に重要な特性となる。比誘電率が2.5~3.0の低誘電率膜として有力と考えられている有機ポリシロキサン、有機ポリマーは、従来のCVDで形成したSiO₂膜やSiOF膜よりも誘電率は低いが、膜の機械強度が低いことが問題となっている。

【0004】CMP工程において絶縁膜の機械強度が影響する特性としては、CMP時の応力による剥がれ、異物による傷、ダマシングプロセスにおけるメタルCMP時のエロージョン(絶縁膜の削れ)等があげられる。これらについて、膜の機械強度の改善により特性が顕著に改善することが報告されている。LSIの高性能化に寄与

する低誘電率絶縁膜を用い、高歩留り、高信頼性を達成するため、低誘電率膜の機械強度の改善が強く望まれている。

【0005】比誘電率が2.5未満の低誘電率膜としては、特公平6-12790号公報及び特開平10-25359号公報に示されるような、多孔質膜が一般的である。しかし、これらの方で得られる多孔質膜は、機械強度の低下が顕著であるため、LSIに適用した場合、CMP工程における機械強度の不足の問題は一層大きな問題となることが予想される。LSIの一層の高性能化のためには、比誘電率が2.5未満の低誘電率膜においてもCMP工程に耐えうる機械強度を有する比誘電率膜が必要と考えられている。

【0006】

【発明が解決しようとする課題】本発明は、比誘電率が1.9~2.4で、LSIのCMP工程に耐える機械強度を有する低誘電率膜及びこれを用いたLSIの高性能化と、高信頼性、高歩留りを達成する半導体素子を提供するものである。

【0007】

【課題を解決するための手段】本発明は、シリコンウエハー上に膜厚0.5~0.6μmの膜を形成し、荷重10mgで測定した時の膜の硬度DHT₁₁₅が0.45GPa以上で、1MHzで測定した比誘電率が1.9~2.4である低誘電率膜及びこの低誘電率膜を多層配線の層間絶縁膜として用いた半導体素子に関する。

【0008】薄膜の硬度測定値は基盤の影響をうけるため、硬度が同じ膜でも膜厚によって得られる値が異なる。そのため、薄膜の硬度を比較するためには、膜厚を揃える必要があり、本発明の検討では、膜厚を0.5~0.6μmに揃えて測定を行った。従って、膜厚0.5~0.6μmという制限は測定のための条件で、本発明の低誘電率膜を適用する際の膜厚を制限するものではない。

【0009】0.5~0.6μmの薄膜の硬度測定には、ナノインデンテーション・テスターと呼ばれる市販の装置を用いることができる。この方法では、ダイヤモンド圧子を微少荷重で薄膜表面に押込んだ時の、荷重と押込み深さから膜の硬度が計算される。硬度は、「硬度=試験荷重/試料と圧子の接触面積」で定義され、稜間角115°の三角錐圧子を用いた時の硬度DHT₁₁₅は、測定によって得られる「押込み荷重」と「押込み深さ」から以下の式で計算される。

$$DHT_{115} = 0.0379 \frac{F}{(h^2)} \text{ (Pa)}$$

F: 押込み荷重 (N)

h: 押込み深さ (m)

【0010】比誘電率が2.5未満の低誘電率膜としては、有機ポリシロキサン膜、有機ポリマー膜を低密度化した膜が有力と考えられているが、機械強度という点では、SiO₂骨格を有する有機ポリシロキサン膜の低密

度膜の方が有利である。有機ポリシロキサン膜の塗布液としては、アルコキシランの部分加水分解縮合物の溶液が用いられる。塗布液の製造法としては、例えば、アルコキシラン類を、溶剤及び触媒の存在下に水を添加して加水分解縮合反応させる方法がある。この場合、必要に応じて加熱を行ってもよい。触媒としては、塩酸、硝酸、硫酸などの無機酸、ギ酸、シュウ酸、酢酸などの有機酸等が使用できる。通常、生成物の分子量を、ゲルパーミエーションクロマトグラフィ (GPC) により求めた標準ポリスチレン換算重量平均分子量で 500~1000 の範囲に設定するのが、熱分解性ポリマーとの相溶性、溶剤への溶解性の観点から好ましい。ついで必要に応じて系内に存在する水を蒸留などにより除去し、さらに触媒をイオン交換樹脂などで除去してもよい。

【0011】アルコキシラン類としては例えば以下のものが使用可能である。テトラメトキシラン、テトラエトキシラン、テラプロポキシランなどのテトラアルコキシラン類、メチルトリメトキシラン、メチルトリエトキシラン、メチルトリプロポキシラン、フェニルトリメトキシランなどのモノアルキルトリアルコキシラン類、ビニルトリメトキシラン、ビニルトリエトキシランなどのモノアルケニルトリアルコキシラン類、トリフルオロメチルトリメトキシラン、トリフルオロプロピルトリメトキシラン、ペンタフルオロブチルトリメトキシラン、ノナフルオロヘキシリトリメトキシラン、トリデカフルオロオクチルトリメトキシラン、ヘプタデカフルオロデシルトリメトキシラン、ヘプタデカフルオロデシルメチルジメトキシラン、ヘプタデカフルオロウンデシルトリメトキシラン、(4-ペルフルオロブチルフェニル)トリメトキシラン、(4-ペルフルオロヘキシリルフェニル)トリメトキシラン、(4-ペルフルオロオクチルフェニル)トリメトキシランなどの含フッ素アルコキシラン類、アーグリシドキシプロピルトリメトキシラン、アーグリシドキシプロピルトリエトキシランなどのエポキシシラン類、アーアミノプロピルメチルジエトキシラン、アーアミノプロピルトリエトキシランなどの脂肪族アミノシラン類、アミノフェニルトリメトキシラン、アミノフェニルトリエトキシラン、N-フェニル-アーアミノプロピルトリメトキシランなどの含芳香環アミノシラン類。

【0012】加水分解縮合反応及び塗布液に用いる溶剤としては例えば以下のものが使用可能である。メタノール、エタノール、プロパノール、ブタノール等のアルコール系溶媒、酢酸メチル、酢酸エチル、酢酸プロピル、酢酸ブチル等の酢酸エステル系溶媒、エチレングリコールモノメチルアセテート、エチレングリコールジアセテート等のグリコールアセテート系溶媒、N,N-メチル-2ピロリドン等のアミド系溶媒、グリコールエーテル系溶媒等。

【0013】有機ポリシロキサン膜の作製方法としては、有機ポリシロキサン塗布液のスピンドル法を用いるのが一般的である。例えば、スピンドル後、ホットプレートでプリベークを行い、最後に炉を用いて最終硬化を行う。プリベークは通常 50~350°C の温度で、2~3 枚のホットプレートを用いて低温から段階的に行う。最終硬化温度は 400~450°C で、雰囲気は、有機基の分解を防ぐため、通常は窒素雰囲気を用いる。

【0014】有機ポリシロキサンの塗布液に 1 気圧での沸点が 250°C 以上の 1 倍アルコール又は 2 倍アルコールを加えることで、有機ポリシロキサンの低密度膜が得られることが明らかになった（以下では、1 倍アルコールをアルコール、2 倍アルコールをジオールとする）。この方法では、アルコール又はジオールの、上記の有機ポリシロキサンに用いられる溶媒に対する溶解性は良好であるため、塗布性の良い溶媒の選択が可能である。また、分子量が均一であるため、ポリマーを用いて低密度化した場合に問題となる機械強度の顕著な低下も起こらない。

【0015】アルコール又はジオールの添加量としては、有機ポリシロキサンの不揮発分 1.0 重量部に対し、0.1~1.0 重量部の範囲が好ましく、目標とする比誘電率に合わせて任意に設定可能である。ここで、有機ポリシロキサンの不揮発分の計算は、シロキサンオリゴマーの加水分解性基が全て結合して Si-O-Si の結合を形成したと仮定して計算した重量を用いており、以下では全て同じ計算方法を用いる。

【0016】1 気圧での沸点 250°C 以上のアルコール又はジオールとしては以下のものが使用可能である。ドデカノール、テトラデカノール、ヘキサデカノール、オクタデカノール、1,2-デカンジオール、1,2-ドデカンジオール、1,2-テトラデカンジオール、1,2-ヘキサデカンジオール、1,8-オクタンジオール、1,10-デカンジオール、1,12-ドデカンジオール、1,14-テトラデカンジオール、1,16-ヘキサデカンジオール。

【0017】アルコールよりジオールの方が、有機ポリシロキサン溶媒への溶解性が良く、良好な塗布膜が得られる。ジオールは 1,2- と 1, n- の二種類の異性体があるが、1,2-の方が安価で入手が容易である。また、これらのアルコール、ジオールは単独で用いても、2 種類以上を組み合わせて用いてもよい。

【0018】有機ポリシロキサン塗布液にアルコール又はジオールを溶解した塗布液を用いて有機ポリシロキサンの低密度膜を作製する方法としては、スピンドル法を用いることができる。例えば、スピンドル後、ホットプレートでプリベークを行い、最後に炉を用いて最終硬化を行う。プリベークは通常 50~350°C の温度で、2~3 枚のホットプレートを用いて低温から段階的に行う。最終硬化温度は 400~450°C で、雰囲気

は、有機基の分解を防ぐため、通常は窒素雰囲気を用いる。

【0019】有機ポリシロキサンは200°C以上のプリベークを行うことで、膜がそれ以上は大きく収縮しない程度に架橋が進む。沸点が250°C以上のアルコール又はジオールを添加した場合、それらが膜中に残った状態で、有機ポリシロキサンの架橋が進むため、得られる膜の密度が低下すると考えられる。従って、200~250°Cのプリベークを実施するのが低密度膜を得るのに有效である。また、プリベーク段階では、ジオールは、アルコールより水素結合によって膜中に残存し易いため低誘電率膜を得るのに適している。

【0020】以下の検討では、塗布膜の作製はスピンドル法で行い、縦型炉を用いて、窒素雰囲気下に、425°Cで30分の最終硬化を行った。硬度の測定は、ENT-1100（エリオニクス社製）を用いて行った。測定は1サンプルにつき5回行い平均値を求めた。比誘電率の測定には、0.1Ω·cm以下の低抵抗シリコンウエハーに0.5~0.6μmの硬化膜を作製したウエハーを用いた。硬化膜上にA1電極を形成して、A1電極とSiウエハーで形成されるコンデンサーの容量を測定し、膜厚と電極面積から、計算により比誘電率を求めた。容量測定は1MHzで行った。

【0021】有機ポリシロキサンを低密度化する場合、当然のことながら、低密度化する前の有機ポリシロキサンの機械強度が高く、誘電率が低いほど、得られる低密度膜の機械強度は高く、誘電率は低くなる。また、有機ポリシロキサン膜の誘電率は一般に有機含有量が多いほど低下するが、逆に有機含有量が多いと膜の強度は低下する。従って、低誘電率と高い機械強度を両立させるためには、組成の最適化が重要となる。

【0022】メチルトリアルコキシラン1モルに対し、テトラアルコキシラン0~0.5モルを添加した組成とし、1気圧での沸点が250°C以上のアルコール又はジオールを、有機ポリシロキサン塗布液の不揮発分1.0重量部に対し、好ましくは0.4~0.7重量部添加する場合に、比誘電率が1.9~2.4で硬度が0.45GPa以上の低誘電率膜が得られる。

【0023】1MHzで測定した比誘電率が2.5未満の有機基を有するポリシロキサンからなる低誘電率膜としては、比誘電率が1.9~2.4で、シリコンウエハー上に膜厚0.5~0.6μmの膜を形成し、荷重10mgで測定した時の硬さDHT₁₁₅が、0.45~0.88GPaである膜が、LSIの層間絶縁膜として優れている。

【0024】

【実施例】実施例1~5

モノメチルトリエトキシラン1モルに対し、テトラエトキシランを0.0.1, 0.2, 0.4, 0.5モルの比率で用いて、加水分解縮合反応によりポリシロキ

サン塗布液1~5を得た。フラスコ内でモノメチルトリエトキシラン、テトラエトキシランと溶媒のプロピレングリコールモノプロピルエーテルを混合し、攪拌を行いながら水で希釈した酢酸を滴下し、反応を行った。この時の実験室の気温は23°Cで、フラスコの温度制御は行わなかった。添加した水の量は、用いたアルコキシラン1.0モルに対し、0.01モルとした。塗布液の不揮発分濃度は、必要な膜厚が得られるよう10~20重量%の範囲で調整した。水と触媒の滴下終了後、2時間程度攪拌を行った後、密閉容器に移して23°Cで2日間放置した。その時のシロキサンオリゴマーの分子量をGPCで測定した結果、分子量はサンプルによらずほぼ同じで、ポリスチレン換算の数平均分子量は1000程度、重量平均分子量は1500程度であった。その後は冷凍庫(-18°C)で保管を行った。

【0025】ポリシロキサン塗布液1~5に1,2-テトラデカンジオールをポリシロキサン塗布液の不揮発分1重量部に対し、0.7又は0.4重量部を添加し溶解させ、計10種類の塗布液を作製した。この塗布液を用いてスピンドル法により塗布膜の形成を行った。基板はペアのシリコンウエハーを用いた。塗布回転数は、最終硬化後(425°C)の膜厚が、0.5~0.6μmになるように各塗布液ごとに調整した。スピンドル後は、ホットプレートで80°C/90sec、150°C/90sec、250°C/90secのペークを連続して行った。最終硬化は、縦型炉を用いて窒素雰囲気中で、425°C/30minの処理を行った。

【0026】得られた膜の硬度と比誘電率の測定を行った。硬度はエリオニクス社製のナノ・インデンテーション・テスターENT-1100を用い、最大荷重10mg、負荷速度1mg/secで測定した。測定は1サンプルにつき5回測定し、平均値を求めた。比誘電率は、直径2mmのA1電極を膜上に形成し、A1電極とシリコンウエハーで形成されるキャパシターの容量を測定し、膜厚とA1電極の面積から計算した。容量測定はインピーダンスアナライザを用いて1MHzで行った。また、膜厚は、エリプソメトリーを用いて測定した。

【0027】硬度と比誘電率の測定結果を表1に示す。硬度0.45GPa以上で、比誘電率1.9~2.4の低誘電率膜が得られることが分かる。さらに低誘電率化した膜を得ようとして、1,2-テトラデカンジオールの添加量を0.7重量部より増加させた場合には、膜の低密度化率が大きくなることにより、膜の吸湿が増大し、比誘電率の急激な上昇が起こる。また、さらに硬度の高い膜を得ようとして塗布液よりテトラエトキシランの添加量を増加させた場合には、無機成分が増加するため、膜の吸湿が増大し、比誘電率の上昇が起こる。従って、表1の配合の範囲内において、比誘電率が2.5未満の低誘電率膜である比誘電率1.9~2.4、硬

度0.45~0.88GPaの良好な膜を得ることができる。

【0028】LSIの層間絶縁膜として特に優れるのは、ポリシロキサン塗布液の不揮発分1重量部に対するアルコール、ジオールの添加量が0.4~0.7重量部で、ポリシロキサン塗布液として2~5を用いた場合である。この時、膜硬度は0.52~0.88GPaで、比誘電率2.0~2.4の機械強度に優れた比誘電率膜

が得られる。

【0029】塗布液1~5においてテトラエトキシシリコンの代わりに、トリアルコキシランHSi(OR)₃(Rは炭素数1~5のアルキル基)を用いても同様の結果が得られた。その場合膜の耐熱性はやや低下するが、LSIの層間膜として適用可能な範囲である。

【0030】

【表1】

表1

| ポリシロキサン 塗布液 | 1,2-テトラジメチル添加量(ポリシロキサン不揮発分に対する重量部) | | | |
|----------------|------------------------------------|------|---------|------|
| | 0.7 | | 0.4 | |
| | 硬度(GPa) | 比誘電率 | 硬度(GPa) | 比誘電率 |
| 塗布液1 | 0.45 | 1.9 | 0.53 | 2.1 |
| 塗布液2 | 0.52 | 2.0 | 0.60 | 2.1 |
| 塗布液3 | 0.58 | 2.0 | 0.67 | 2.2 |
| 塗布液4 | 0.63 | 2.1 | 0.74 | 2.3 |
| 塗布液5 | 0.75 | 2.2 | 0.88 | 2.4 |

【0031】

【発明の効果】本発明の低誘電率膜は、高い機械強度を有するため、半導体素子の層間絶縁膜として適用するこ

とにより、CMP耐性が向上し、広いプロセスマージンを確保でき、LSIの高性能化と、高信頼性、高歩留りが達成される。

フロントページの続き

(72)発明者 寺田 信子

茨城県日立市東町四丁目3番1号 日立化
成工業株式会社山崎事業所内

Fターム(参考) 5F033 QQ48 RR23 RR25 SS21 WW02

WW09 XX35
5F058 AA08 AC03 AD05 AF04 AG01